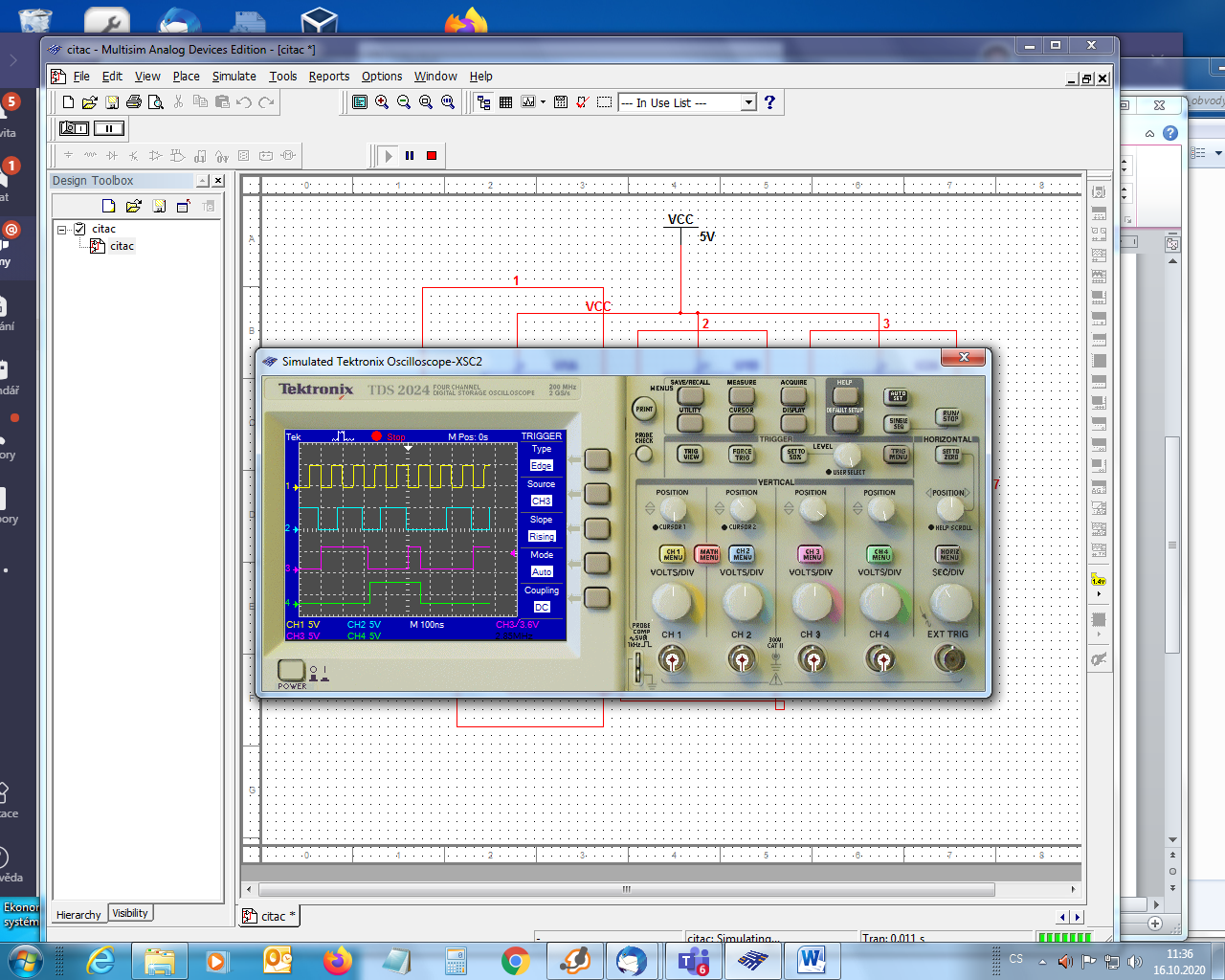
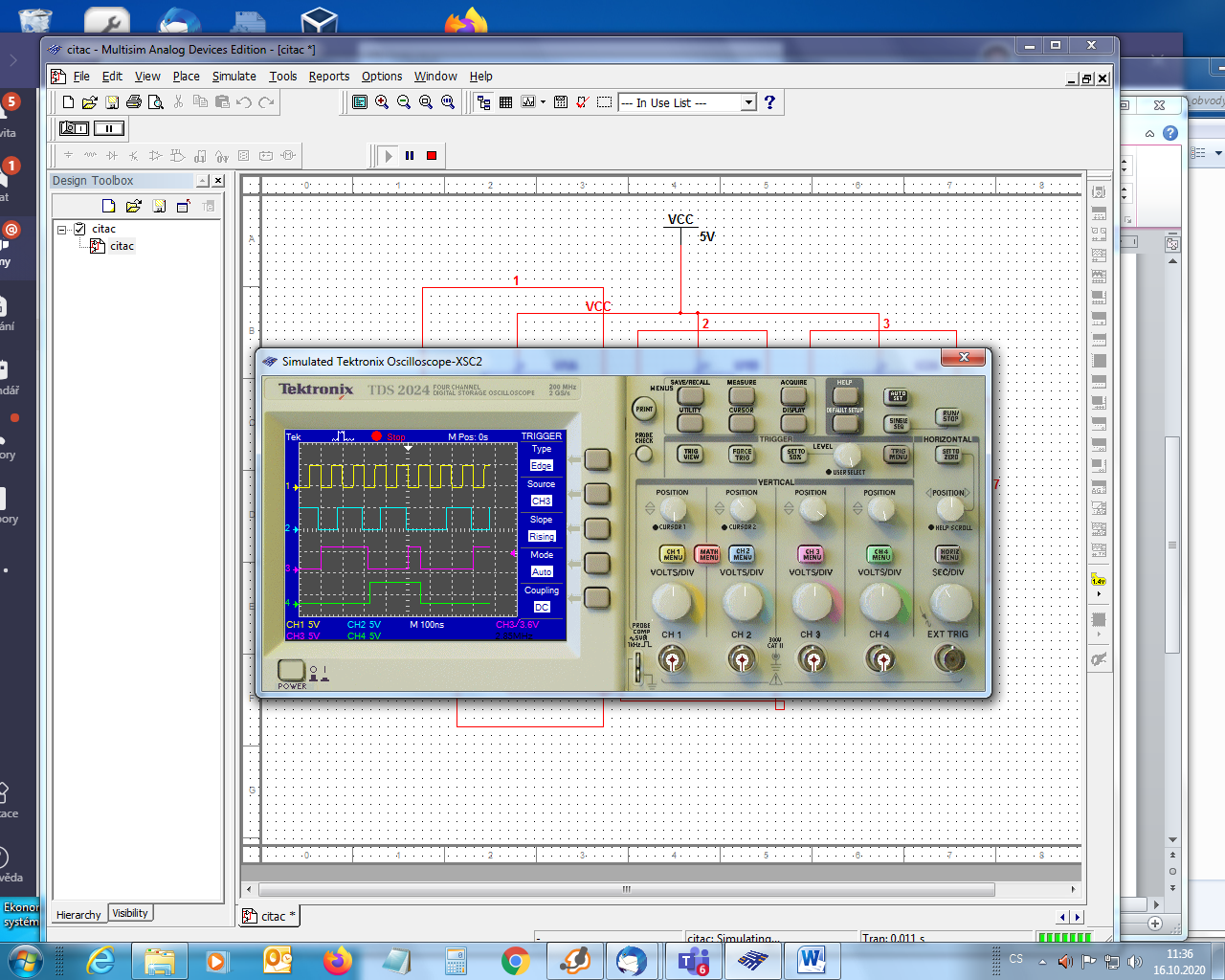
Nejdříve se ještě vrátíme k minulému čítači. Měli jste za úkol zobrazit průběh signálu na jeho výstupech. Vidíme následující obrázek.



Bity jsou v pořadí od nejvíce významného : Zelená – fialová – modrá . Podíváme se na přechod mezi číslem 3 a 4 , tedy na přechod mezi stavem 011 a 100 na výstupech na osciloskopu.

Vidíme, že hrany na výstupech Q čítače jsou posunuty. ( detalení obrázek následuje )



Je to proto, že hodinový vstup u následující děličky dvěma je vždy buzen z předchozího výstupu. Proto se zpoždění postupně zvyšuje, jak vidíme na osciloskopu. Čítač, který jsme brali v minulé hodině, se nazývá asynchronní . **Asynchronní proto, že každý hodinový vstup obvodu D je ovládán z jiného místa.**

Další variantou čítače je **čítač synchronní**  .

Synchronní se nazývá proto, že všechny hodinové vstupy jsou ovládány najednou, z jednoho místa. Proto tento čítač má všechna zpoždění na výstupech stejná, neuvidíme u něj postupné narůstání zpoždění jako u čítače asynchronního.

Na následujícím obrázku máte neúplné schéma synchronního čítače. Vidíme, že všechny hodinové vstupy obvodů D jsou spojeny do jednoho místa. Porovnejte tento obrázek se schématem asynchronního čítače, ukažte si, kam vedou vstupy CLK kam a kam vedou tady. Neustaňte, dokud opravdu nepochopíte, co znamená „synchronní“ a co „asynchronní“



Pro návrh synchronního čítače si sem opíšeme větu, která říká, jak funguje obvod D řízený hranou:

Zopakujeme si ji, a hlavně si uvědomíme, co ta věta říká .

Protože obvod D funguje právě takto, vyplývá z toho návod, jak udělat synchronní čítač s obvody D .

**Synchronní čítač navrhujeme tak, že na vstupy D přichystáme tu hodnotu, kterou chceme mít na výstupech Q po příchodu vzestupné hrany na CLK.**

Uděláme si stejný čítač jako v předcházejícím případě, tedy čítač od 0 do 5 , číslo 5 se na výstupech ještě objeví. Čítač bude tedy dodávat čísla: 0 1 2 3 4 5 0 1 2 3 4 5 0 1 2 3 4 5 0 1 2 3 4 5 0 1 .....

Na schématu výše jsem udělali změnu oproti asynchronnímu čítači.

Bit Q2 – MSB - Most Significant Bit – je nejvíce nalevo

Bit Q0 – LSB - Least Significant Bit – je nejvíce napravo

prostě bity jsme

uspořádali tak, jak je zvykem při psaní binárních čísel. Můžeme si to dovolit, protože hodiny CLK jsou spojeny dohromady , a tudíž jsou všechny obvody D rovnocenné

Uděláme si tabulku pro chystání

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Q2** | **Q1** | **Q0** | **D2** | **D1** | **D0** |
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | X | X | X |
| 1 | 1 | 1 | X | X | X |

Tabulka mluví jasně. Nalevo je stav na výstupech Q, napravo je stav na výstupech D. Když je na Q číslo 0 , přichystáme na D číslo 1. Když je na Q číslo 1, přichystáme na D číslo 2. ................. Když je na Q číslo 4 , přichystáme na D číslo 5. Když je na DQ číslo 5 , přichystáme na D číslo 0 ( co má následovat po čísle 5 ? ) Čísla 6 a 7 se na výstupech Q nikdy neobjeví, proto na vstupech D je X – cokoli.

Schéma zapojení vypadá následovně:



Na schématu vidíme tři obvody D 7474 . Jejich vstupy CLK jsou spojeny a přivedeny na vývod VSTUP. Sem budeme přivádět obdélníkový hodinový signál. Vstupy R\_NEG a S\_NEG jsou připojeny na +5V, aby nebyly aktivní. Obvod úplně nalevo má výstup Q2 a datový vstup D2 . Obvod úplně napravo má datový vstup D0 a výstup Q0. Čísla obvodů byla zvolena tak, aby odpovídala číslování bitů v binárním čísle. Samozřejmě, obvod 7474 má vstup s názvem D a výstup s názvem Q, bez rozlišení čísly. Q2, Q1, Q0 atd. jsou označení drátů, které jsme my k obvodu 7474 přivedli.

Schéma není úplné. Do zelených obdélníčků musíte dokreslit zapojení, které získáte z tabulky. Pro obvod v zeleném obdélníčku jsou Q2 Q1 Q0 vstupy, a D0 D1 D2 výstupy. Karnaughovu mapu tedy děláme třikrát, v obdélníčcích jsou tři různé obvody. Jedna z map je velmi jednoduchá, má jedničky v polovině mapy , takže se dá realizovat drátem. Další obvody ve zbývajících obdélníčcích můžeme realizovat hradly nebo multiplexorem, je to jedno.

Opět připomínáme – obvod D má výstupy Q i Q\_NEG , takže negaci si vezměte tamodtud.

Do Multisimu si nakreslíme naše zapojení, připojíme osciloskop a díváme se, jak náš obvod pracuje. Do TEAMS uložíte obrazovku osciloskopu s vaším výsledkem, uděláte alespoň 8 period hodin, abychom viděli i přechod mezi 5 – 0. A podíváme se na zpoždění výstupů – okamžik změny u všech výstupů je týž, zpoždění je stejné. To je právě charakteristické pro synchronní čítač.

Stejně jako minule oznámkujeme vaše obrazovky z Multisimu !

Na obrazovce bude vstupní hodinový signál a výstupy Q0 , Q1, Q2

**Nastavení počátku – důležité !!!!!!!**

Po zapnutí napájení jsou obvody D v náhodném stavu. Některý má na výstupu 0 , jiný 1 . Může se stát, že se obvody náhodně nastaví do stavu, který je v naší tabulce realizován jako XXX , tedy opět náhodně. Pak může celý obvod bloudit po zcela jiných číslech, než která máme v tabulce. Na začátku tedy musíme našemu číátači vnutit počáteční stav. To uděláme pomocí asynchronních vstupů R\_NEG a S\_NEG , které přes spínač připojíme na GND. Samozřejmě, připojíme tam jenom některé ! A dáme si tam pull-up rezistor, aby při rozpojeném spínači byla na těchto vstupech logická 1 . Které vstupy máme zapojit ? No, to je hračka ! Pokud chceme u výstupu Q nastavit 1 , zapojíme S\_NEG . Pokud chceme nastavit 0 , zapojíme R\_NEG. Zopakujte si, jak funguje obvod D .